

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-121250

(43)Date of publication of application : 28.07.1982

(51)Int.Cl.

H01L 21/82

H01L 27/04

(21)Application number : 56-006680

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.01.1981

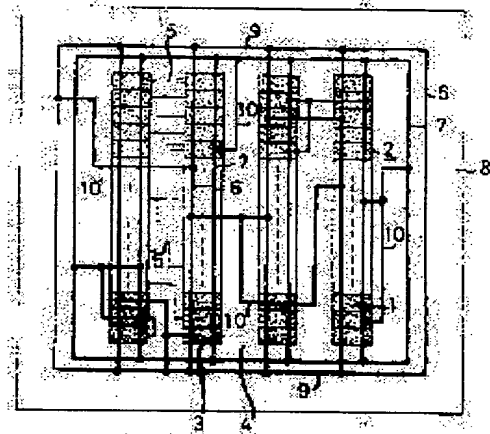
(72)Inventor : TAKADA TOMOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable wiring of a power source having small DC resistance and small inductance without losing the degree of freedom of wiring by arranging a power source wire and a ground wire on the wiring tracks of a vacant region, to which no signal wire is supplied on the wiring region.

CONSTITUTION: A plurality of function element regions 3 made of a plurality of cell rows 2 each having logic function cells 1 are formed on a semiconductor chip 8, and the intermediate ports between the regions 3 are used as signal wire laying regions 4. A bus 9 having a power line and a ground line is arranged to surround the regions 3, 4, and a power wire 6 and a ground wire 7 are arranged on the element region. A signal wire 5 is laid along the wiring track on the region 4, and an auxiliary power line or ground line 10 forming a bypass are formed on the vacant region on the region 4 on which no signal wire is laid. In this manner, the DC resistance of the power line wire is substantially reduced, and the wiring inductance can be simultaneously reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

一に復帰してかき、これを論議強硬感情制に従つて適宜選取・組合せして配置し、論議セム間の配順を行つて所望とする回路機能の半導体集積回路を実現するものである。

しかしてこれらの方式に共通することは、牛
体中アッパ上に論議機能を実現する駆動素子が
駆動された駆動素子領域と、上記論議機能の人
間出力を駆動する駆動トラップを形成した駆動領
域とを備える点である。上記駆動トラップは別
格化された導きおよび開閉で仮想的に設定され
たマトリックス状の導路で、この駆動トラップ上
に利用論議機能の入出力を駆動する駆動線が通る
。また別の共通点は各駆動素子に電力を供給
線する電源線および駆動線が、上記駆動素子領
域を貫通して設けられる点である。

これらいずれの方式であっても、またこれらに類似する他の方式であっても、LBIの大気候化および微細化に伴い、次のような問題が生じてきた。この問題につきマース・フーサー方式により実現される半導体集積回路を例に説明す

抵抗 $\rho = 2.83 \times 10^{-4} \Omega \cdot \text{cm}$ の Al 材にて形成された電流線 4 の幅が $2 \mu\text{m}$ 、厚さ $0.8 \mu\text{m}$ 、長さ $10 \mu\text{m}$ である場合、その直流抵抗は 1.117Ω にもなる。これを上と下 2 ケ所において母線に接続した場合でも、チップ中央に $10 \mu\text{A}$ の電流を流する電流源が接続されると 0.886 V もの電流電圧降下を生じる。このような電流電圧降下は、図 4 如く作の温度低下を招く上、誤動作の原因となる。更にはその回路が C-MOS 構成であればチップ電圧降下の原因ともなる。

また上述の如き電導線にあっては、そのインダクタンスも相当大となる。例えば上記仕様のインダクタンスが、1.0 mHの長さで約13.0 mHのインダクタンスが生じる。このインダクタンスは電導線1 mに1 nH/100 μ sec)があるとき、その両端間に0.15 Vのスイパイク電圧を発生させる。この0.15 Vのスイパイク電圧によっても回路の動作やフリップアラーム現象が生じ、改善されなければならない。同

6.

ち、因は汎州セルム（編組出現セルム）を縦方向に並べてセル判を構成した連続セル形のLSIの一例を示すもので、上はセル判、下に1つの走査電子線銃が構成されている。そして上記走査電子線銃の間が配線領域、下に配線められ、同じ配線領域内に縦格化された区間を以って電子状態配線トランプが設定されている。そして、この配線トランプ上に各汎用セルを組み込むことが配設されている。またこの例では、上記走査電子線銃を貫通して、セル判は列方向に配線領域および油断層がそれぞれ配設され、各汎用セルへの電力供給が行われている。尚、図中は半導体バレットを示している。

しかし、L&I の大規模化および濃縮化に伴い、電解槽の L&I 供給設備の配管は、その細く、味さが薄くなり、しかも流量が狭くなつてゐる。この為、電吹ラインの抵抗が大きくなつて

電流源の地下が無償でなくなる。例えば北

これに對しては、彼、第 2 圖に示すように、電
氣機のおよび磁器部をセムラミに對して垂直
方向にも設け、棒子状の電線ラインを構成する
ものが考へられた、然し乍ら上述した不良が
所生されるもの、配線誤差、を機切る導線機
のおよび磁器部によつて、配線トラップに近
似的な導線が加わり、この結果配線の自由度が
著しく妨げられた。また導線セムラの配線も阻
礙され、伏用セムラおよび配線トラップの採用効
率が大幅に低下すると云ふに至る問題を招いた。

本説明はこのような事情を考慮してなされたもので、その目的とするところは、諸国並にその人の配属および各留置所の自由を妨げることとなし、むしろ留置ラインの安定化を促して重圧降下を減少せしめ、国境越境作やラフアプアプ攻撃を防止するようによりにされたものである。

本発明の炭素は、調整機能性セムを形成し、配向を決定して炭素配向がなされる配向炭素とを備え、上記配向炭素が

宇味地区集積回路(LSI)が大規模化されるに従って、集積回路性能から検証等子および配線のマスタパターン設計、所謂アトリック設計が多くなった努力を要する。そこで最近では計算機を用いたアトリック自動設計が増えられ、この自動設計に連したLSI方式としてマスタスタイル万変やピッチングプロファイル方式が注目されている。

マヌー・スライズ万天は1つの半体チアブ
 上にトラウンスの龍果チアブと斑匠等の
 文飾果チアブによって州成される九州チアブを予めマ
 リトリックス状に多形修成し、龍果胎果（胎果
 龍果の仕障）に宛じて配種マヌー・スライズを成配して乳
 用牛種内の子を組合し、これによって所望の
 龍果龍果を繁殖する。そしてこれらのチアブと
 リミタリされた龍果龍果を繁殖して所望とする半
 体胎果龍果を繁殖するものである。

また、ペンダプロック方式は、一つの機座に對し、その性能を實現する為のワークブロータを有する側駆セルをセルライブラリ

明 超 著

本発明は前記適能配座を子配座および配座の自由配座を備へることとなしに配座配座及びインジケーションの大小の適能配座を行ない得る半導体装置に関する。

⑭ 公關特許公報 (A) 昭57-121250

⑮ 日本國特許庁 (JP) 特許出願公開

⑨ 公開 昭和57年(1982) 7月28日	発明の数 1	審査請求 未請求
⑩ 公開 昭和57年(1982) 7月28日	発明の数 1	審査請求 未請求

(全 4 頁)

④半導体集積回路
京芝浦電気株式会社総合研究所

—

⑦出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

代理人 井理士 鈴木武彦，外2名

10

川崎市幸区小向東芝町1番地東

に貫通して電線部および接地線を付けて各線路機能セルに電力を供給するようになした半導体集積回路において、回路仕様に応じて自由に信号配線がなされた配線領域の空き領域に電線部および接地線を配設し、これを適宜配線することによって電線ラインの安定化を図り、これによって上述した目的を効果的に達成したものである。

以下、図面を参照して本発明の一実施例につき説明する。

第3図は実施例回路の平面構成を模式的に示したものであり、第1図および第2図に示す従来例と同一部分には同一符号を付して示してある。

半導体ペレット6上には、トランジスタ等の配線素子および抵抗やコンデンサ等の受動素子により構成された汎用の機能領域セル1が所定の配列規則に従って配置形成されている。これらの機能領域セル1は所定形状を呈し、且つこのプロ

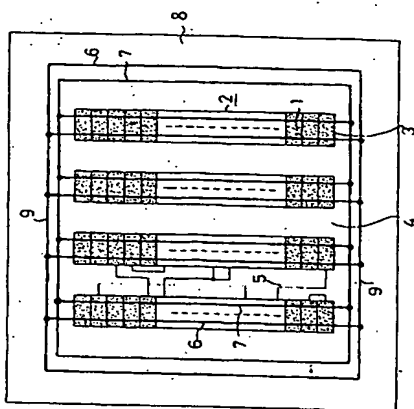
パッチ領域1上の空き領域を利用して補助線10が配設される。この補助線10は前記配線素子領域を貫通する電線部および接地線7にそれぞれ適宜接続され、電線部のバイパスルートを実現するもので、補助的な電線部あるいは線路として機能するものである。そして、この補助線10は、配線領域1に余裕のある限り、その空き領域を利用して網の目状に設けられる。かくしてこのように配線された本実施例回路にあっては、補助的な電線部あるいは接地線と配線素子の間に配線領域1の空き領域が配設して機能する補助線10は、信号配線が配設形成されたのち空き領域を利用して設けられるものであるから、機能領域セル1の配置や配線の自由度が妨げられることがない。また補助線10は電線部および接地線7に流れる電流をバイパス、つまり分散させるので、実質的に電線ライン配線の直流抵抗を下げ、同様にその配線インダクタンスを減少させる。従って電圧降下やスlew率低下による動作およびラッチアップ現象の要因が効果的に排除され、安定した

BEST AVAILABLE COPY

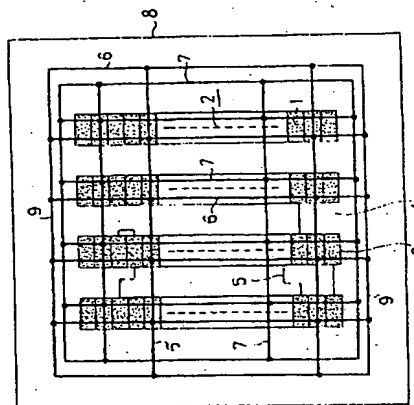
子領域、4…配線領域、5…信号配線、6…電線部、7…接地線、8…半導体チップ、9…回路、10…補助線。

第1図

出願人代理人 弁護士 村江 廣彦



第2図



第3図

